

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-245272

(43)Date of publication of application : 31.10.1986

(51)Int.Cl.

G06F 15/06

(21)Application number : 60-086238

(71)Applicant : NIPPON DENSO CO LTD

(22)Date of filing : 24.04.1985

(72)Inventor : TSUTSUI TORU
KANAMARU KENJI
MORITA NOBUNARI

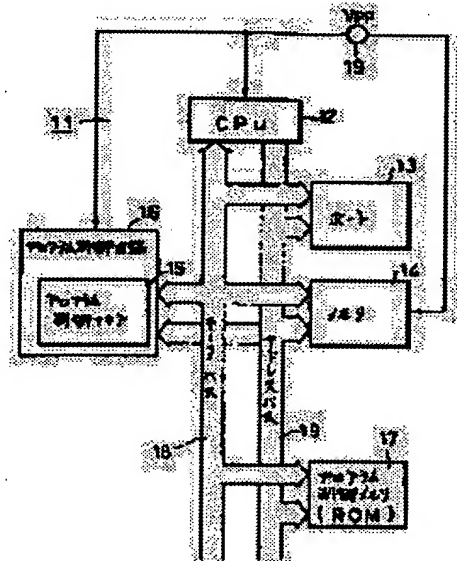
(54) ONE CHIP MICROCOMPUTER

(57)Abstract:

PURPOSE: To control a program with respect to a semiconductor non volatile memory having high universal applicability by operating the program through the same control means as that of the memory IC of a program control flag single body.

CONSTITUTION: The program with respect to the semiconductor non volatile memory 14 operates a CPU 2 according to an instruction from said program control memory 17, and the program is executed by operating a program control flag 15. At this time its values are initialized in CE=0, OE=0 and PGM=1.

Assuming that OE=1 is taken for the initial state of the flag, the memory address of a program subject and program data are latched. Then the flag PGM is equal to zero, and a high voltage is impressed and set to a memory cell applicable by the signal. Then the program is executed based on said latched data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭61-245272

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)10月31日

G 06 F 15/06

7343-5B

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 1チップマイクロコンピュータ

⑮ 特 願 昭60-86238

⑯ 出 願 昭60(1985)4月24日

⑰ 発 明 者	筒 井 徹	刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	金 丸 健 次	刈谷市昭和町1丁目1番地	日本電装株式会社内
⑲ 発 明 者	森 田 展 功	刈谷市昭和町1丁目1番地	日本電装株式会社内
⑳ 出 願 人	日本電装株式会社	刈谷市昭和町1丁目1番地	
㉑ 代 理 人	弁理士 鈴江 武彦	外2名	

明 細 書

第1項記載の1チップマイクロコンピュータ。

1. 発明の名称

1チップマイクロコンピュータ

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、制御プログラム情報を記憶設定する半導体不揮発性メモリを内蔵し、この不揮発性メモリに対するプログラムが効果的に実行されるようにした1チップマイクロコンピュータに関する。

〔背景技術〕

1チップマイクロコンピュータにあっては、例えばプログラム情報を記憶する手段として半導体不揮発性メモリを内蔵しているものであるが、この不揮発性メモリに対してプログラム動作を実行する手段としては、従来から次のような手段が知られている。すなわち、その第1のものとしては、プログラム動作時に全ての内部クロック信号を停止させ、このチップに内蔵される半導体不揮発性メモリを、このマイクロコンピュータを構成する

2. 特許請求の範囲

(1) プログラム可能な不揮発性メモリと、
チップイネイブル(CE)、アウトプットイネイブル(OE)、プログラムモード(PGM)等の単体メモリICのプログラム制御端子を内部フラグとして備えたプログラム制御回路と、

プログラム制御シーケンスを有するプログラム制御メモリとを具備し、

外部からの指令によって上記プログラム制御回路によってプログラム可能モードが設定され、上記不揮発性メモリに対するプログラム動作が実行されるようにしたことを特徴とする1チップマイクロコンピュータ。

(2) 上記プログラム制御メモリは、1チップ状態で内蔵設定されるようにした特許請求の範囲

CPUやペリフェラル回路から電氣的に分離設定する。そして、上記半導体不揮発性メモリを、単体のメモリICと同様に専用のPROMライタによってプログラムするものである。しかし、このようなプログラム手段によって使用されるPROMライタは、非常に高価なものであり、このような高価なPROMライタを特別に用意しなければならない問題点を有する。

また、第2の手段としてチップ内に半導体不揮発性メモリのプログラム制御用のメモリを内蔵させ、このメモリの命令によってCPUを動作させて上記不揮発性メモリに対するプログラムを実行させるセルフプログラム手段が知られている。

しかし、このセルフプログラム手段にあっては、 \overline{CE} (チップイネイブル、負論理)、 \overline{OE} (アウトプットイネイブル、負論理)、 \overline{PGM} (プログラムモード、負論理)等の基本制御信号を用いないものであり、このIC固有の回路に基づいてマイクロプログラム制御を実行するようにしている。このため、このプログラム方法に汎用性が無いも

が実行されるようにするものである。

〔作用〕

このように構成される1チップマイクロコンピュータにあっては、外部からの指令によって上記内部フラグ、すなわちプログラム制御フラグを単体のメモリICと同様の制御手段によって操作するようにしているもので、特に専用のPROMライタ等を必要とせず汎用性の高い半導体不揮発性メモリに対するプログラム制御が実行されるようにするものである。

〔実施例〕

以下、図面を参照してこの発明の一実施例を説明する。添付図面はその構成を示しているもので、1チップマイクロコンピュータ11内に、CPU12、ポート13等の通常のマイクロコンピュータにおいて設定される要素が設定されているものであり、さらに従来のマスクROMを置き換えたプログラム可能な不揮発性メモリ14が設定されている。そ

のである。すなわち、CPUが異なるICでは、新たな内容のプログラム制御用のメモリ(ROM)を必要とするようになるものである。

〔発明が解決しようとする問題点〕

この発明は上記のような点に鑑みなされたもので、半導体不揮発性メモリに対するプログラム制御を、通常の単体メモリICと同様の手段で実行できるような状態にすることができ、汎用性の高いプログラム制御方法が実行されるようにした1チップマイクロコンピュータを提供しようとするものである。

〔問題点を解決するための手段〕

すなわち、この発明に係る1チップマイクロコンピュータにあっては、 \overline{CE} 、 \overline{OE} 、 \overline{PGM} または電源V_{pp}の3端子を、1チップマイクロコンピュータの内部フラグとして準備するようにしているものであり、プログラム制御回路の指令によって内蔵される半導体不揮発性メモリのプログラム

して、さらにその他に前述したようなプログラム制御フラグ(\overline{CE} 、 \overline{OE} 、 \overline{PGM})15を含む状態で構成されるプログラム制御回路16、およびプログラム制御メモリ(ROM)17が内蔵設定されているもので、以上の設定要素は、データバス19およびアドレスバス18によってインターフェースをとっている。ここで、上記プログラム制御メモリ17には、従来PROMライタで行っていたプログラム制御シーケンスがソフトウェアとして持たせられている。

上記の半導体不揮発性メモリ14に対するプログラムは、上記プログラム制御メモリ17からの命令によってCPU12を動作させ、プログラム制御フラグ15を操作することによって実行される。すなわち、電源端子20の電圧V_{pp}を高電圧状態に設定すると、プログラム制御回路16はプログラム可能なモードを設定するようになる。このとき、プログラム制御フラグの値は、 $\overline{CE}=0$ 、 $\overline{OE}=0$ 、 $\overline{PGM}=1$ の状態にそれぞれ初期化されている。

このようなフラグの初期化状態で、まず $\overline{OE}=1$ として、プログラム対象のメモリアドレス、およびプログラムデータをラッチする。次に、フラグ $\overline{PGM}=0$ としてこの信号によって該当するメモリセルに対して高電圧を印加設定し、上記ラッチされたプログラムデータに基づきプログラムを実行する。

このようにして、メモリセルに対するプログラムが実行され終了すると、上記フラグ $\overline{PGM}=1$ とされ、高電圧の印加状態を終了させて、次のメモリセルのプログラム動作に移行するものである。すなわち、このようにして単体のメモリ IC に対するプログラム制御と同じような制御手段によって、半導体不揮発性メモリ 14 に対するプログラム制御が実行されるようになるものである。

また、プログラム可能なモードであるプログラムイネイブルモード中にプログラム制御フラグ $\overline{CE}=0$ 、 $\overline{OE}=0$ 、 $\overline{PGM}=1$ に設定すると、上記のようにしてプログラムしたデータの読み出しが可能となり、各メモリセルに対するプログラ

ムの完了状態の確認判定をその場で行うことができるようになるものである。

尚、上記実施例ではプログラム制御メモリ 17 をこのチップ内に内蔵させる状態で示し、汎用性の高いセルフプログラム制御が実現されるようにして示した。しかし、このプログラム制御メモリとして、外部の ROM を用いるようにしても、上記のようなプログラム制御が可能となるものである。

[発明の効果]

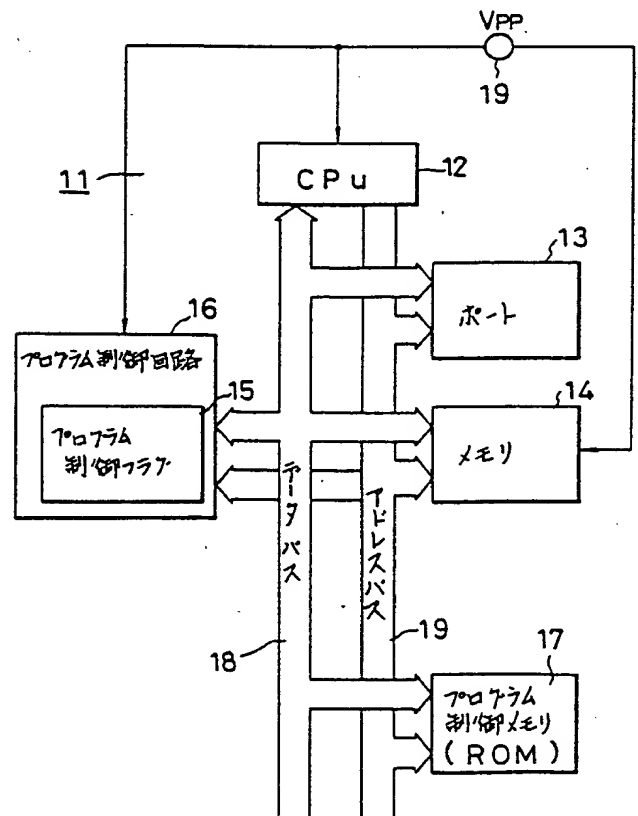
以上のようにこの発明に係る 1 チップマイクロコンピュータにあっては、内蔵される半導体不揮発性メモリに対するプログラム制御が、CPU を動作させてこのマイクロコンピュータに内蔵されるプログラム制御フラグの操作することにより効果的に実行されるようになるものであり、特に従来の単体の IC メモリに対するプログラム制御と同じようなプログラム制御によってプログラム書き込み動作が実行されるものであり、汎用性の高いプログラム手段が実現されるもので、1 チップ

マイクロコンピュータの機能向上に大きな効果が発揮されるものである。さらに、メモリのプログラムシーケンスがオンチップで格納されるようになるものであるため、汎用 PROM を使用した場合よりも、信頼性の高いプログラムが実現されるようになる。

4. 図面の簡単な説明

添附図面はこの発明の一実施例に係る 1 チップマイクロコンピュータの構成を示す図である。

11…1 チップマイクロコンピュータ、12…CPU、13…ポート、14…不揮発性メモリ、15…プログラム制御フラグ、16…プログラム制御回路、17…プログラム制御メモリ (ROM)、18…データバス、19…アドレスバス、20…電源端子 VPP。



出願人代理人 弁理士 鈴 江 武 彦